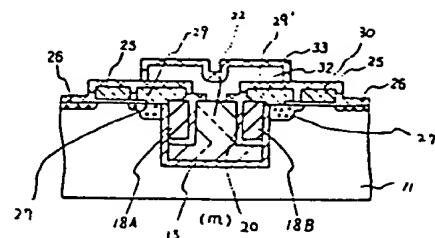


(54) SEMICONDUCTOR MEMORY CELL

(11) 59-141262 (A) (43) 13.8.1984 (19) JP
 (21) Appl. No. 58-15661 (22) 2.2.1983
 (71) NIPPON DENKI K.K. (72) TOSHIYUKI ISHIJIMA(1)
 (51) Int. Cl. H01L27/10, G11C11/34, H01L29/78

PURPOSE: To obtain large memory capacity by taking the area of a capacitor electrode in a large value even in a memory cell of a minute area.

CONSTITUTION: A groove is formed to a silicon substrate 11, polycrystalline silicon 18A, 18B, silicon dioxide films 20 and polycrystalline silicon 22 are formed, and gate electrodes 25 and N type diffusion layers 26, 27, 27' in a switching transistor are formed. When charges are memorized, charges are stored in the polycrystalline silicon 18A, 18B from the diffusion layers 26 connected to a bit line and the state of memory is brought by turning the switching transistor connected to a word line ON. Since storage capacity is formed by the capacity of the silicon dioxide films 20 formed between the polycrystalline silicon, storage capacity can be increased largely without augmenting an occupying area by deeply forming the polycrystalline silicon 18A, 18B in the substrate.



DOC

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-141262

⑪ Int. Cl.³
H 01 L 27/10
G 11 C 11/34
H 01 L 29/78

識別記号
1 0 1

庁内整理番号
6655-5F
8320-5B
7377-5F

⑬ 公開 昭和59年(1984)8月13日
発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 半導体メモリセル

⑯ 発明者 吉田正昭

東京都港区芝五丁目33番1号日
本電気株式会社内

⑰ 特 願 昭58-15661

⑱ 出 願 昭58(1983)2月2日

⑲ 出 願 人 日本電気株式会社

⑳ 発 明 者 石嶋俊之

東京都港区芝五丁目33番1号日
本電気株式会社内

東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内原晋

明 細 書

発明の名称 半導体メモリセル

特許請求の範囲

第1導電型半導体基板表面に形成された凹部の少なくとも一部を覆う第1の絶縁性物質、該第1の絶縁性物質の少なくとも側壁に接し、しかも互いに隔離している第1及び第2の導電性物質、該第1及び第2の導電性物質の少なくとも側面を覆う第2の絶縁性物質、前記第1及び第2の導電性物質とは絶縁され前記凹部の残りの部分を覆う第3の導電性物質、前記第1導電型半導体基板表面に設けられ、前記第1の絶縁性物質に接し、前記第1又は第2の導電性物質に電気的に接続し形成されたMISトランジスタのソース電極である第2導電型の拡散領域を備えたことを特徴とする半導体メモリセル。

発明の詳細な説明

本発明は半導体メモリセルの構造に関し、さらに詳しくはより大きな記憶容量を実現する半導体メモリセルの構造に関する。

電荷の形で2進情報を貯蔵する半導体メモリセルはセル面積が小さいため、高集積、大容量メモリセルとして秀れている。特にメモリセルとして1つのトランジスタと1つのコンデンサからなるメモリセル(以下1T1Cセルと略す)は、構成要素も少なく、セル面積も小さいため高集積メモリ用メモリセルとして重要である。

第1図に従来よく用いられている1T1Cセルの1例を示す。第1図に於て、3がキャパシタ電荷で6の反転層との間に記憶容量を形成する。2はスイッチングトランジスタのゲート電極でワード線に接続されており、ビット線に接続されている拡散層4と反転層6の間の電荷の移動を制御する。又、7は隣接メモリセルとの分離領域である。従来例において記憶容量は3のキャパシタ電極の面積と、5の絶縁膜の誘電率及び膜厚によって決定される。すなわち、大きな記憶容量を確保する

手段として以下の3つの方法がある。

- (1) キャパシタ電極の面積を大きくする。
- (2) 絶縁膜の膜厚を薄くする。
- (3) 高誘電率の絶縁膜を用いる。

ところで一般にメモリの高集積化は微細加工技術の進展に伴うメモリセルサイズの縮小によって達成されており、従来例で示した1T1Cセル構造ではキャパシタ電極の面積は減少する。それ故従来例の1T1Cセルでは絶縁膜の膜厚を薄くすることにより記憶容量の大幅な減少を防いでいた。しかし絶縁膜の膜厚はもはや限界に近づいており、一方セルの微細化は進展するばかりで従来の構造の1T1Cセルでは高誘電率の絶縁膜を採用しない限り記憶容量は減少する一方である。高誘電率の絶縁膜は従来段階で近いうちに実用化される目途はない。

以上述べた様に従来型の1T1Cセルは今後増々記憶容量が減少するという問題点を有している。しかも耐α粒子問題、センスアンプの感度等から大きな記憶容量が望まれており、(例えば耐α粒

-3-

リセルが得られる。

以下本発明の典型的な一実施例として第2図を用いて詳述する。第2図は本発明におけるメモリセルを製造プロセスの順を追って示した模式的断面図である。

第2図(a)は、P型シリコン単結晶基板11の表面上に熱酸化法により二酸化珪素膜12を形成し、次にその上に窒化珪素膜13を形成した後、扉部を除いた全面をホトレジスト14で被った状態を示す。

第2図(b)は、前記ホトレジスト14を耐エッチングマスクとして前記窒化珪素膜13、二酸化珪素膜12を除去しさらに前記シリコン基板11をエッチング除去して扉を設けた後、熱酸化法により扉のシリコン基板表面に二酸化珪素膜15を形成し、次にこの扉を不純物を高濃度ドーピングした多結晶シリコン16で完全に埋めてしまった状態を示す。

第2図(c)は、前記多結晶シリコン16を表面よりエッチング除去してゆき、扉部の底部のみに多

結晶シリコン16'を残し、その後、熱酸化法により前記多結晶シリコン16'の表面上に二酸化珪素膜17を形成した状態を示す。

本発明の目的は、微小な面積のメモリセルに於てもキャパシタ電極の面積を大きく取れることを可能にすることにより従来型より大きな記憶容量を得ることができる構造の半導体メモリセルを提供することにある。

本発明によれば、第1導電型半導体基板表面に形成された凹部の少なくとも一部を覆う第1の絶縁性物質、該第1の絶縁性物質の少なくとも側壁に接し、しかも互いに隔離している第1及び第2の導電性物質、該第1及び第2の導電性物質の少なくとも側面を覆う第2の絶縁性物質、前記第1及び第2の導電性物質とは絶縁された前記凹部の残りの部分を埋め基準電位を与えられた第3の導電性物質、前記第1導電型半導体基板表面に設けられ、前記第1の絶縁性物質に接し、前記第1又は第2の導電性物質に電気的に接続し形成されたMISトランジスタのソース電極である第2導電型の拡散領域を備えたことを特徴とする半導体メモ

-4-

リセルが得られる。

第2図(d)は、ウェハ全面にα型不純物を高濃度ドーピングした多結晶シリコン18を成長し、さらにその表面を熱酸化膜19で被った状態を示す。

第2図(e)は、前記二酸化珪素膜19を異方性エッチング技術例えば反応性スパッタエッチング技術等を用いて表面よりエッチング除去してゆき扉部側面にのみ前記二酸化珪素膜19'を残し、さらにこの二酸化珪素膜19'を耐エッチングマスクとして前記多結晶シリコン18を前記同様に反応性スパッタエッチングにより表面よりエッチング除去し扉の側面にのみ多結晶シリコン18A、18Bを残した状態を示したものである。

第2図(f)は、前記二酸化珪素膜19'および扉の底面の二酸化珪素膜17'をエッチング除去した後、熱酸化法により二酸化珪素膜20およびCVD法により窒化珪素膜21を各々形成した状態を示したものである。

-6-

第2図(a)は、前記酸化珪素膜21を異方性エッチング技術例えば反応性スパッタエッチングにより表面よりエッチング除去してゆき膜の側面にのみこの酸化珪素膜を残し、次にこの酸化珪素膜を耐エッチングマスクとして前記二酸化珪素膜20をエッチング除去し膜の側面にのみ二酸化珪素膜20'を残した後、膜の側面に残した前記酸化珪素膜を除去しさらにクレーパ全体に前記多結晶シリコン16'と同型の不純物を高濃度ドーピングした厚い多結晶シリコン22を形成し膜を完全に埋めかつ表面を平坦化した状態を示したものである。

第2図(b)は、前記多結晶シリコン22を異方性エッチング技術例えば反応性スパッタエッチングにより表面からエッチングしてゆき膜部に多結晶シリコン22'を残した後、熱酸化法により表面に二酸化珪素23を形成した状態を示したものである。

第2図(c)は、前記酸化珪素膜13および二酸化珪素膜12を除去した後、熱酸化法により二酸化珪素膜24を形成し、さらにスイッチングトラン

ジングマスクとして前記二酸化珪素膜23をエッチングした後、前記ホトレジストを除去し、さらに前記多結晶シリコン22'と同型の不純物を高濃度ドーピングした多結晶シリコン32を形成して前記多結晶シリコン22'と電気的に接続し、続いて熱酸化法により前記多結晶シリコン32の表面に二酸化珪素膜33を形成した状態を示す。このようにして2ビット分のメモリセルが形成される。

第2図(d)の断面図と従来の1T1Cセルの第1図を比較して見ると、第1図のワード線に接続されているスイッチングトランジスタのゲート電極は第2図(d)では多結晶シリコン25に相当し、第1図のビット線に接続されている拡散層4は第2図(d)では拡散層26に相当している。電荷を記憶する場合、ワード線に接続されたスイッチングトランジスタをONにすることにより、ビット線に接続された拡散層より基板内に形成された多結晶シリコン18A, 18Bに電荷が蓄積されて記憶状態となる。ただしこの時、膜の中央に形成した多結晶シリコン22'は接地状態にしておく。このこ

トランジスタのゲート電極25を形成しこのゲート電極をイオン注入のマスクとして従来のイオン注入を行ないn型拡散層26, 27, 27'を形成した状態を示したものである。

第2図(e)は、前記拡散層27上の一部と前記多結晶シリコン18A, 18B上の一部の領域以外をホトレジスト28で被い、その後前記ホトレジスト28を耐エッチングマスクとして二酸化珪素膜23, 24の一部をエッチング除去した状態を示す。

第2図(f)は、前記ホトレジスト28を除去した後、前記膜に埋め込んだ多結晶シリコン18A又は18Bと前記n型拡散層27, 27'をn型不純物を高濃度ドーピングした多結晶シリコン29, 29'を用いて電気的に接続した状態を示す。

第2図(g)は、熱酸化法により前記多結晶シリコン25, 29, 29'の表面を二酸化珪素膜30で被い、その後前記多結晶シリコン22'の上部を除くすべての領域をホトレジスト31で被った状態を示す。

第2図(h)は、前記ホトレジスト31を耐エッチ

ングにより蓄積容量は、多結晶シリコン間に形成された二酸化珪素膜20'の容量により形成される。このため蓄積容量は、多結晶シリコン18A, 18Bを基板内に深く形成することにより、つまり深い溝を形成することにより表面から見たメモリセルの占有面積を増加させることなく蓄積容量のみを大幅に増加できる。記憶した電荷を読み出す場合、ワード線に接続されたスイッチングトランジスタをONにしてビット線に接続された拡散層26に基板内に形成された多結晶シリコン18A, 18Bに蓄積された電荷を移動させて読み出しを行う。

現在までのところダイナミックメモリセルの記憶容量は、0.1μmが1個入射してもソフトエラーを発生しないだけの大きさを有することが必要とされている。記憶容量部を平面的に形成している従来の1T1Cメモリセルを用いる場合、1Mbitクラスの高密度大容量メモリセルでは、セル面積における記憶容量部の占める割合は50%程度にも及ぶが、本発明によれば記憶容量部は基板内部に形成されるためその溝の深さを深く取ること

より記憶容量は簡単に増加することができその上この部分の占める面積は非常に小さくてすみ高集積化に適している。

また本発明では、溝部に容量部を形成するために多結晶シリコン22'を埋地しているが、このことは素子間の分離も同時に行うことができるという特長を有している。さらにその形状であるが素子間の分離領域に形成される寄生MOSトランジスタのチャネル長をできる限り長く取ろうという配線から容量形成部のポリシリコン18A, 18Bを直接溝の底部まで形成することなく溝の途中で止め、溝の底部は接地された多結晶シリコン22'で埋めて一段と素子分離効果上げている。このため多結晶シリコン22'は溝部内では凸型の形状をしている。さらにこのような形状を取ることににより、溝の幅が狭くなった場合でも十分な分離特性が得られる。

なお前記実施例では、特に溝内に凸形のポリシリコン18A, 18Bを設けて素子分離特性の向上をも計ったものについて述べたが、このポリシリコ

-11-

容易に得られる。

図面の簡単な説明

第1図は従来の1T1Cノメモリセルの概略断面図、第2図は本発明によるメモリセルを製造するプロセスを示す概略断面図、第3、第4図は本発明によるメモリセルの概略断面図である。1…シリコン基板、2…ワード線に接続されたゲート電極、3…キャパシタ電極、4…ビット線に接続された拡散層、5…二酸化珪素膜、6…反転層、7…分離領域に形成された二酸化珪素膜、12, 15, 17, 17', 19, 19', 20, 20', 23, 24, 30, 33…二酸化珪素膜、13, 13', 21…窒化珪素膜、14, 28, 31…ホトレジスト、16, 16', 18, 18A, 18B, 22, 22', 29, 29', 32…多結晶シリコン、25…ワード線に接続されたゲート電極、26…ビット線に接続された拡散層、27, 27'…拡散層、42…多結晶シリコン、52…多結晶シリコン、53…二酸化珪素膜。

代野人 分理士 内原 晋

-12-

特開昭59-141262(4)

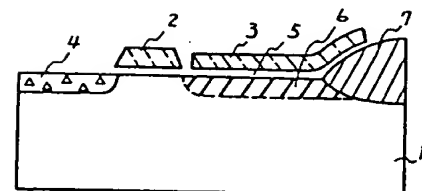
ン形状は第3図に示すような形であってもよい。これは前記実施例で示したプロセスより容易にできる。ただし、この形状は溝の分離領域幅が前述のものに比べて広くなる。

また本発明における溝に埋め込まれたポリシリコン22' (第2図)、42 (第3図)への基準電位の与え方であるが、実施例ではポリシリコン22', 42と半導体基板とを二酸化珪素膜15により絶縁分離し表面より基準電位を与えるようにしている。しかしこの他にポリシリコン22'に基準電位を与える方法として基板より与える方法が考えられる。この構造については第4図に示す。第4図でもわかるように溝に埋め込まれたポリシリコン52は直接半導体基板と電気的に接続している。このような構造は前述したプロセスより容易にでき、また、前述した構造と比較した場合新たに基準電位部を設ける必要がなくなるという利点がある。

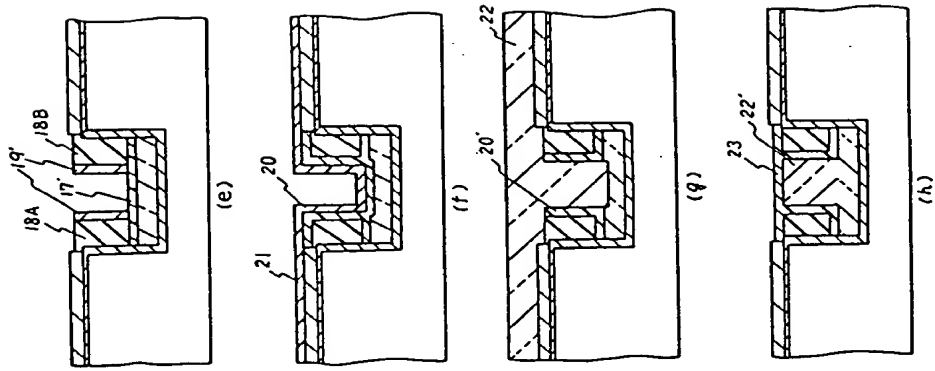
以上述べたように本発明によれば、微細なメモリ・セル面積にかいても記憶容量を大きく取ることができるため、高集積化に適したメモリセルが

-12-

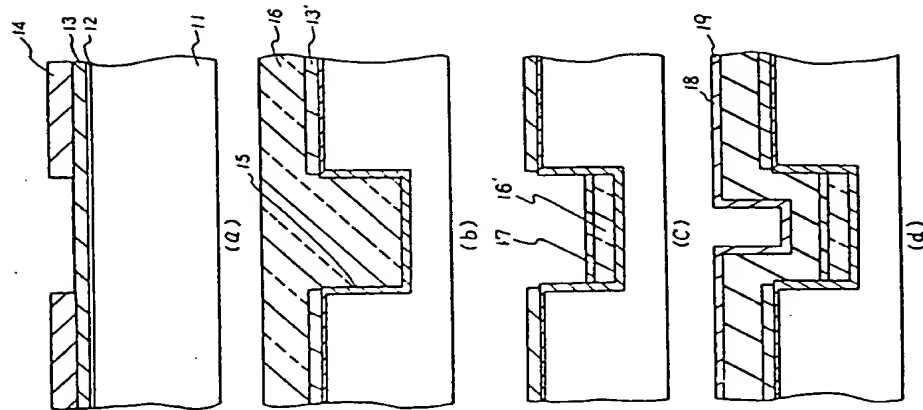
オ 1 図

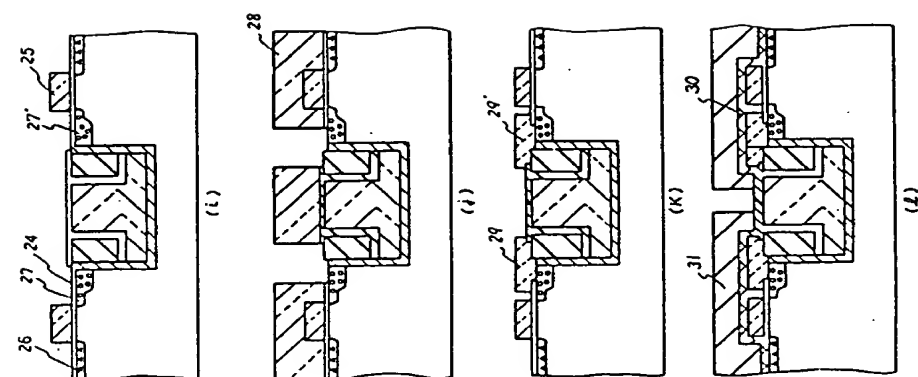


第 2 図



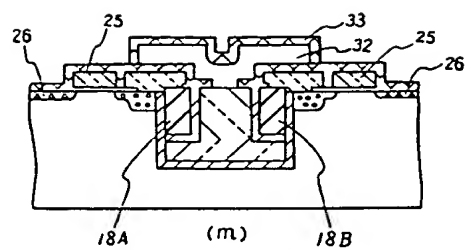
第 2 図



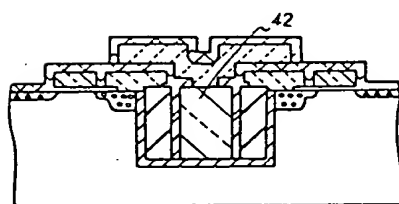


第 2 図

第 2 図



第 3 図



第 4 図

